

Docket No.: P-195

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of

Byung Hyo KIM

Serial No.: New U.S. Patent Application

Filed: March 9, 2001

For: INTER-PROCESSOR COMMUNICATION APPARATUS AND  
METHOD OF MOBILE COMMUNICATION SYSTEM

#2  
J1036 U.S. PTO  
09/801639  
03/09/01

TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT

Assistant Commissioner of Patents  
Washington, D. C. 20231

Sir:

At the time the above application was filed, priority was claimed based on the following application:

Korean Patent Application No. 11811/2000 filed March 9, 2000.

A copy of each priority application listed above is enclosed.

Respectfully submitted,  
FLESHNER & KIM, LLP

Daniel Y.J. Kim  
Registration No. 36,186

P. O. Box 221200  
Chantilly, Virginia 20153-1200  
703 502-9440

Date: March 9, 2001

DYK/kam

J1036 U.S. PTO  
09/801639



대한민국특허청

KOREAN INDUSTRIAL  
PROPERTY OFFICE

별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto  
is a true copy from the records of the Korean Industrial  
Property Office.

출원번호 : 특허출원 2000년 제 11811 호  
Application Number

출원년월일 : 2000년 03월 09일  
Date of Application

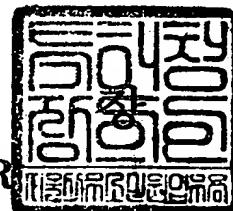
출원인 : 엘지정보통신주식회사  
Applicant(s)



2001 년 02 월 27 일

특허청

COMMISSIONER



**【서류명】** 특허출원서  
**【권리구분】** 특허  
**【수신처】** 특허청장  
**【참조번호】** 0001  
**【제출일자】** 2000.03.09  
**【국제특허분류】** H04B  
**【발명의 명칭】** 상호 프로세서 통신 장치  
**【발명의 영문명칭】** apparatus for inter processor communication  
**【출원인】**  
**【명칭】** 엘지정보통신주식회사  
**【출원인코드】** 1-1998-000286-1  
**【대리인】**  
**【성명】** 강용복  
**【대리인코드】** 9-1998-000048-4  
**【포괄위임등록번호】** 1999-057037-3  
**【대리인】**  
**【성명】** 김용인  
**【대리인코드】** 9-1998-000022-1  
**【포괄위임등록번호】** 1999-057038-1  
**【발명자】**  
**【성명의 국문표기】** 김병효  
**【성명의 영문표기】** KIM,Byeung Hyo  
**【주민등록번호】** 720916-1101710  
**【우편번호】** 435-040  
**【주소】** 경기도 군포시 산본동 가야아파트 514동 1101호  
**【국적】** KR  
**【취지】** 특허법 제42조의 규정에 의하여 위와 같이 출원합니다. 대  
리인  
복 (인) 대리인  
김용인 (인)  
**【수수료】**  
**【기본출원료】** 10 면 29,000 원  
**【가산출원료】** 0 면 0 원

1020000011811

2001/3/

【우선권주장료】	0 건	0 원
【심사청구료】	0 황	0 원
【합계】	29,000 원	
【첨부서류】	1. 요약서·명세서(도면)_1통	

**【요약서】****【요약】**

본 발명은 수신측의 CPU가 TAG 정보를 계속해서 검색하지 않고 별도의 로직을 통해 한번에 1 프레임의 데이터를 연속해서 검색하도록 하는 통신 장치를 제공하기 위한 것으로서, 상기와 같은 목적을 달성하기 위한 본 발명에 따른 상호 프로세서 통신 장치의 특징은 마스터에서 오는 라이트 신호에 따라 데이터를 저장하는 데이터 FIFO부와, 한 프레임에 해당되는 데이터 길이를 산출하는 길이(length) FIFO부와, 상기 길이(length) FIFO부에서 산출된 한 프레임 데이터 길이만큼 상기 데이터 FIFO에 저장된 데이터를 연속해서 읽어들여 처리하는 CPU와, 상기 CPU에 인터럽트를 인가하여 상기 CPU와 데이터 FIFO부 그리고 길이(length) FIFO부를 제어하는 슬레이브 로직부을 포함하여 구성되어, 데이터 처리시에 CPU의 로드를 줄여줄 수 있으며, 그에 따라 전체 시스템의 성능을 향상 시킬 수 있다.

**【대표도】**

도 2

**【색인어】**

IPC, 길이(length) FIFO

### 【명세서】

#### 【발명의 명칭】

상호 프로세서 통신 장치{apparatus for inter processor communication}

#### 【도면의 간단한 설명】

도 1 은 종래 기술에 따른 상호 프로세서 통신 장치를 나타낸 구성도

도 2 는 본 발명에 따른 상호 프로세서 통신 장치를 나타낸 구성도

\*도면의 주요부분에 대한 부호의 설명

10 : CPU      20 : 슬레이브 로직부

30 : 데이터 FIFO부      40 : 길이 FIFO부

#### 【발명의 상세한 설명】

#### 【발명의 목적】

#### 【발명이 속하는 기술분야 및 그 분야의 종래기술】

- <6>      본 발명은 이동 통신 시스템에 관한 것으로, 특히 길이(length) FIFO부를 통해 CPU의 성능을 향상시키는 상호 프로세서 통신장치에 관한 것이다.
- <7>      이동통신 시스템에서 각각의 장치는 각자 자기가 맡은 일을 수행하게 되는데, 이때 서로 상호간에 통신을 해야할 경우에는 상호 프로세서 통신(Inter Processor Communication : IPC)이라는 방법을 이용해서 통신하게 된다.
- <8>      이 IPC를 하려면 크게 하나의 마스터(Master)부와 다수개의 슬레이브(Slave)부로 나눌 수 있다.
- <9>      상기 마스터는 통신이 이루어지는 각각의 슬레이브를 제어하여 제 1 슬레이브에서

송신되는 데이터를 제 2 슬레이브로 수신되도록 한다.

<10> 이때 각 슬레이브는 고유의 ID를 가지고 있어서, 송신측에서는 보내고자 하는 장치의 ID를 데이터와 함께 송신하면, 수신측에는 자기의 ID와 비교해서 동일한 경우에는 수신하고 다른 경우에는 패스하여 다음 순위의 수신측으로 이동시킨다.

<11> 또한 송신측에서는 IPC를 할 경우에 ID외에 필요한 각종 정보들로 버스 점유신호, 패리티(parity) 신호, 시작과 끝을 나타내는 TAG 신호, 그리고 RD/WR 신호등을 데이터와 같이 전송한다.

<12> 이때 수신측의 CPU는 전송되는 데이터를 읽을 때 TAG신호를 계속 지켜보면서 그 프레임의 시작과 끝을 구분해서 1 프레임단위의 데이터를 읽어들여 처리한다.

<13> 여기서 CPU는 데이터가 언제 끝나는지를 계속해서 검색하여야 하기 때문에 CPU의 성능에 많은 손실(loss)로 작용한다.

<14> 그리고 송신측에서 데이터를 전송하기 위해서는 데이터가 지나가는 길인 버스(BUS)를 점유해야 한다.

<15> 이 버스는 마스터의 입장에서 봤을 때, Rx의 Tx, 두 가지로 구분되는데, Rx는 슬레이브에서 데이터가 마스터로 가는 길이고, Tx는 마스터에서 데이터가 슬레이브로 가는 길이다.

<16> 상기 마스터는 버스 중재신호를 내보내서 동시에 두 슬레이브가 버스를 공유하는 일이 없도록 하는데, 이때 전송할 데이터가 있는 슬레이브에서는 자기 ID와 이 신호를 비교해서 일치할 경우 마스터에게 송신할 데이터가 있음을 알린다.

<17> 이에 마스터는 송신측에서 버스 사용권을 부여하고 Rx 버스를 통해 수신을

하게 된다.

<18> 그리고 데이터를 보낼 슬레이브에게 데이터가 있음을 알리고, 이에 수신측 슬레이브는 Tx 버스를 통해 데이터를 수신하게 된다.

<19> 여기서 수신측 슬레이브의 CPU는 들어오는 프레임이 정확한지를 계산해야 하는데, 그렇게 하려면 프레임의 시작과 끝을 알아야 하며 이것은 송신측 슬레이브가 보낸 TAG정보를 가지고 알게 된다.

<20> 따라서 CPU는 데이터를 읽으면서 동시에 계속해서 TAG신호를 검색하다가 데이터가 끝나는 엔드 TAG(end TAG) 신호가 검색되면, 그 데이터의 오류여부를 판단하고 만약 이상이 있으면 마스터에게 다시 데이터를 요구한다.

<21> 도 1 은 종래 기술에 따른 상호 프로세서 통신 장치의 구성도이다.

<22> 도 1을 보면 마스터에서 오는 라이트 신호에 따라 데이터를 저장하는 데이터 FIFO부(30)와, 상기 데이터 FIFO부(30)에 저장된 데이터를 읽어서 처리하는 CPU(10)와, 상기 CPU(10)에 인터럽트를 인가하여 상기 CPU(10)와 데이터 FIFO부(30)를 제어하는 슬레이브 로직부(20)로 구성된다.

<23> 이와 같이 구성될 때 상호 프로세서 통신 장치의 동작을 보면 데이터 FIFO부(30)에 1 프레임이 다 저장되면 슬레이브 로직부(20)는 CPU(10)에게 인터럽트를 인가하고, 이어 CPU(10)는 1 바이트씩 데이터를 읽기 시작한다.

<24> 이때 CPU(10)는 1 바이트 단위로 데이터를 읽으면서 TAG 정보도 계속 검색하여 1 프레임에 해당되는 데이터를 모두 읽으면 데이터를 처리한다.

<25> 즉, CPU(10)가 데이터를 처리하는 시간은 1 바이트 단위로 데이터를 읽은 후 1 프

프레임 인지를 TAG 정보를 통해 검색하고, 다시 1 바이트 단위로 데이터를 읽은 후 다시 1 프레임 인지를 TAG 정보를 통해 검색하는 방법으로 1 프레임의 데이터가 모두 읽어지면 데이터를 처리한다.

<26> 이와 같이 수신측 CPU(10)는 데이터의 정확한 수신을 위해서, 수신되는 데이터의 시작과 끝을 TAG 정보에 의지해서 계속해서 검색하게 된다.

<27> 따라서 한정된 CPU 성능에 상당한 부분을 할애하게 되며, 그로 인해 전체적인 시스템 성능의 저하를 가져온다.

#### 【발명이 이루고자 하는 기술적 과제】

<28> 따라서 본 발명은 상기와 같은 문제점을 해결하기 위해 안출한 것으로서, 수신측의 CPU가 TAG 정보를 계속해서 검색하지 않고 별도의 로직을 통해 한번에 1 프레임의 데이터를 연속해서 검색하도록 하는 통신 장치를 제공하는데 그 목적이 있다.

<29> 상기와 같은 목적을 달성하기 위한 본 발명에 따른 상호 프로세서 통신 장치의 특징은 마스터에서 오는 라이트 신호에 따라 데이터를 저장하는 데이터 FIFO부와, 한 프레임에 해당되는 데이터 길이를 산출하는 길이(length) FIFO부와, 상기 길이(length) FIFO부에서 산출된 한 프레임 데이터 길이만큼 상기 데이터 FIFO에 저장된 데이터를 연속해서 읽어들여 처리하는 CPU와, 상기 CPU에 인터럽트를 인가하여 상기 CPU와 데이터 FIFO부 그리고 길이(length) FIFO부를 제어하는 슬레이브 로직부을 포함하여 구성되는데 있다.

#### 【발명의 구성 및 작용】

<30> 본 발명의 특징에 따른 작용은 장치간에 데이터를 송수신하는 IPC를 할 경우 수신

측에 저장되는 프레임은 각 송신 슬레이브에 의해 이동되므로 각 프레임의 시작과 끝을 알아야 하기 때문에, 수신측의 CPU는 수신된 데이터의 길이를 계속해서 검색해야 하는 단점을 보완하기 위해 별도의 로직을 구성하여 CPU의 성능이 많이 요구되는 시스템에 적당하도록 CPU의 성능을 향상시켰다.

<31> 본 발명의 다른 목적, 특성 및 잇점들은 첨부한 도면을 참조한 실시 예들의 상세한 설명을 통해 명백해질 것이다.

<32> 본 발명에 따른 상호 프로세서 통신 장치의 바람직한 실시 예에 대하여 첨부한 도면을 참조하여 설명하면 다음과 같다.

<33> 도 2 는 보면 마스터에서 오는 라이트 신호에 따라 데이터를 저장하는 데이터 FIFO부(30)와, 상기 데이터 FIFO부(30)에 저장되는 데이터의 한 프레임 데이터 길이를 계산하는 길이(length) FIFO부(40)와, 상기 길이(length) FIFO부(40)에 저장된 한 프레임 데이터 길이만큼 상기 데이터 FIFO부(30)에 저장된 데이터를 연속해서 읽어들여 처리하는 CPU(10)와, 상기 CPU(10)에 인터럽트를 인가하여 상기 CPU(10)와 데이터 FIFO부(30) 그리고 길이(length) FIFO부(40)를 제어하는 슬레이브 로직부(20)로 구성된다.

<34> 이와 같이 구성된 상호 프로세서 통신 장치의 동작을 보면 다음과 같다.

<35> 먼저, 마스터에서 전송되는 라이트 신호에 따라 전송되는 데이터를 데이터 FIFO부(30)에 저장하면서 길이(length) FIFO부(40)에 데이터 길이(length) 값을 계속 증가시킨다.

<36> 그리고 데이터 FIFO부(30)에 수신되는 TAG 정보 중 데이터가 끝나는 신호(end TAG)가 들어오면 증가된 데이터 길이값을 길이 FIFO부(40)에 저장한다.

<37> 이어 슬레이브 로직부(20)는 CPU(10)에게 인터럽트를 요청한다.

<38> 그리고 CPU(10)는 인터럽트가 요청되면 데이터 FIFO부(30)에 저장된 데이터를 길이 FIFO부(40)에 저장된 길이만큼 연속해서 읽어 내부 메모리에 저장한 후 처리한다.

<39> 따라서 CPU(10)는 일일이 TAG 정보를 검색할 필요가 없이 1 프레임에 해당하는 데 이터를 한번에 연속해서 읽어온 후 처리하기 때문에 기존 방식보다 2 배의 성능 향상을 얻을 수 있다.

#### 【발명의 효과】

<40> 이상에서 설명한 바와 같은 본 발명에 따른 상호 프로세서 통신 장치는 CPU에게 데이터 길이 정보를 별도로 인가함으로써 연속해서 데이터를 읽을 수 있어 데이터 처리 시에 CPU의 로드를 줄여줄 수 있으며, 그에 따라 전체 시스템의 성능을 향상시킬 수 있다.

<41> 이상 설명한 내용을 통해 당업자라면 본 발명의 기술 사상을 이탈하지 아니하는 범위에서 다양한 변경 및 수정이 가능함을 알 수 있을 것이다.

<42> 따라서, 본 발명의 기술적 범위는 실시 예에 기재된 내용으로 한정되는 것이 아니라 특허 청구의 범위에 의하여 정해져야 한다.

**【특허청구범위】****【청구항 1】**

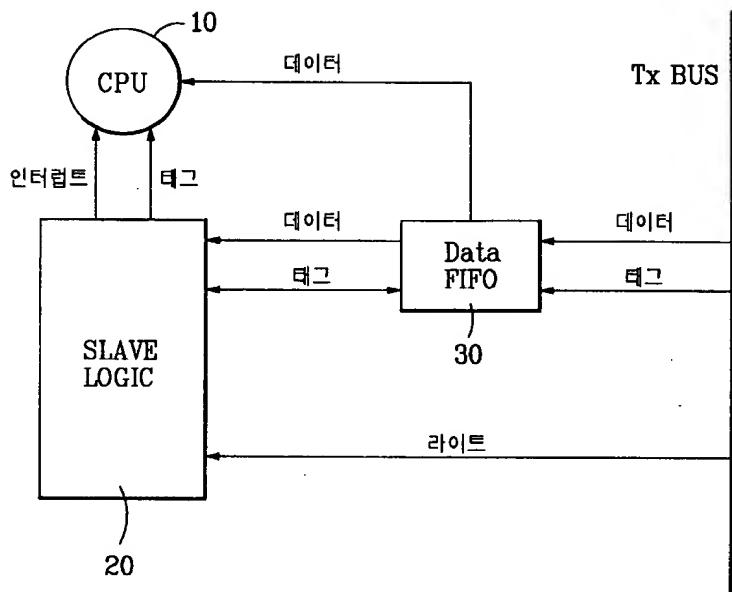
마스터에서 오는 라이트 신호에 따라 데이터를 저장하는 데이터 FIFO부와, 한 프레임에 해당되는 데이터 길이를 산출하는 길이(length) FIFO부와, 상기 길이(length) FIFO부에서 산출된 한 프레임 데이터 길이만큼 상기 데이터 FIFO에 저장된 데이터를 연속해서 읽어들여 처리하는 CPU와, 상기 CPU에 인터럽트를 인가하여 상기 CPU와 데이터 FIFO부 그리고 길이(length) FIFO부를 제어하는 슬레이브 로직부을 포함하여 구성되는 것을 특징으로 하는 상호 프로세서 통신 장치.

**【청구항 2】**

제 1 항에 있어서,  
상기 길이(length) FIFO부는 데이터 FIFO부로 전송되는 TAG 정보를 이용하여 1 프레임의 데이터 길이를 계산하는 것을 특징으로 하는 상호 프로세서 통신 장치.

## 【도면】

【도 1】



【도 2】

